Elementos electrónicos (Entradas analógicas).

En un proceso industrial se pueden tener diferentes tipos de variables (temperatura, nivel, presión, etc) a observar o controlar. Estas variables que están dadas por formas de voltaje o corriente, según el dispositivo usado para medirlas, deben ser llevadas a nuestra RTU. Para ser llevadas a la RTU se debe definir el método por el cual se va a realizar la recepción y transmisión, es decir, mediante voltaje o corriente. El método más común de transmisión en la industria es el estándar de transmisión de corriente es 4-20 [mA]. Este método presenta una gran ventaja debido a que a lo largo de un cable de transmisión es muy usual encontrar caídas de voltaje por la impedancia que este puede presentar por su composición, mientras que la corriente a través de un cable no va a variar. Por lo expuesto anteriormente se escogió el estándar de 4-20 [mA] como método para llevar los datos de los respectivos sensores hacía las entradas analógicas de nuestra RTU.

Se tienen 8 entradas de 4-20 [mA], las cuales posteriormente a un conjunto de etapas de protección, se convertirá a tensión mediante una resistencia de 250 Ohm, para así tener un rango de excursión a la entrada de 1-5 [V]. Teniendo en cuenta estos rangos de entrada, se selecciona el conversor analógico-digital para procesar dichas señales.

Conversor analógico-digital: ADS114S08 (Texas Instruments). : [ADS114S0x](https://www.ti.com/lit/ds/symlink/ads114s08.pdf?ts=1674733865895)

[ControlLogix Analog I/O Modules User Manual (rockwellautomation.com)](https://literature.rockwellautomation.com/idc/groups/literature/documents/um/1756-um009_-en-p.pdf)

Para la recepción de señales analógicas en el dispositivo en diseño, se debe tener en cuenta el tipo de comunicación a usar, el voltaje de alimentación del conversor, su precisión, la velocidad de transmisión de datos, etc. Para esto se tuvo en cuenta algunos módulos de entradas-salidas analógicas para PLC’s como 1756-IF8K, 1756-IF6I y 1756-OF8K de ControlLogix, donde el factor predominante que cada uno de ellos radica en la resolución que manejan, es decir, 16 bits. Con base en esto se busca un conversor analógico-digital para nuestra aplicación el cual cumpla con esta característica. Por ello se presenta el conversor analógico-digital de Texas Instruments, ADS114S08 con resolución de 16 bits, donde en la tabla X, se presentan algunas de sus características principales.

|  |  |
| --- | --- |
| Nombre | ADS114S08 |
| Data rate | Desde 2.5 SPS hasta 4kSPS |
| Ganancia programable | 1 V/V hasta 128 V/V |
| Entradas | 12 entradas de propósito general |
| Comunicación | Serial SPI |
| Alimentación analógica | 2.7 a 5.25 V ó +/- 2.5 V (bipolar) |
| Alimentación digital | 2.7 a 3.6 |
| Reloj interno | 4.096 MHz |
| Resolución | 16 bits |

Para la selección de este dispositivo se tuvieron en cuenta muchos otros candidatos, algunos de los motivos por los cuales no fueron tenidos en cuenta fue: la cantidad de entradas, bits de resolución, arquitectura y tipo de comunicación. Finalmente, aparte del ya mencionado ADS114S08, se tuvo en cuenta 1 candidato más el cual comparte las características mencionadas anteriormente y por lo cual presentamos a continuación:

* ADS1178: conversor analógico-digital con arquitectura delta-sigma, con una frecuencia de muestreo de hasta 52.000 muestras por segundo. Presenta 8 canales de entradas que tienen la capacidad de realizar un muestreo simultáneo. Finalmente, a continuación en la tabla X se presentan algunas de sus principales características.

|  |  |
| --- | --- |
| Nombre | ADS1178 |
| Data rate | Hasta 52kSPS |
| Entradas | 8 entradas de propósito general |
| Comunicación | Serial SPI |
| Alimentación analógica | 5 [V] |
| Alimentación digital | 1.8 a 3.3 [V] |
| Reloj interno | No tiene |
| Resolución | 16 bits |

Finalmente, para seleccionar el conversor ADS1148, junto con sus características se tuvieron en cuenta los siguientes criterios:

* Número de bits: ya mencionado anteriormente, algunas módulos de conversión analógica-digital en PLC’s como lo son: 1756-IF8K, 1756-IF6I y 1756-OF8K de ControlLogix, cuentan con 16 bits de precisión y teniendo en cuenta el rango de operación sobre el cual se está trabajando (4-20 [mA]), nos brinda una precisión en cada dato transmitido de 0.32 [uA] por valor. Esto representa una gran precisión al momento de recibir datos de entornos industriales.
* Número de entradas: en módulos de conversión analógica digital, el número de entradas correspondiente a 12, esto debido a que los módulos de 8 entradas convencionales como el ADS1178 y el ADS1148, no permiten la medición de tensión respecto a tierra, además, de solo permitir el uso de 7 canales para el sensado, y en caso de permitirlo, alguna de estas entradas debe usarse como la referencia, es decir, se pierde 1 puerto de entrada.
* Arquitectura: la arquitectura corresponde al método con el que se es diseñado el conversor-analógico digital y por el cual se encarga de procesar los datos que llegan a él. Existen 2 principales arquitecturas las cuales corresponden a:

1. Successive Approximation Register o SAR: arquitectura para la conversión analógica-digital que comúnmente en la industria se cataloga en el rango de la media-alta resolución. Los dispositivos que usan esta arquitectura normalmente se pueden encontrar en el rango de los 8 a 16 bits de precisión. Además, estos dispositivos cuentan con una frecuencia de muestreo de hasta 5 MSPS. La arquitectura SAR tiene muchas variaciones, pero la más básica se puede observar en la figura X. En la figura X, se puede observar un ejemplo de la aproximación mediante SAR de la entrada de un número de 4 bits.

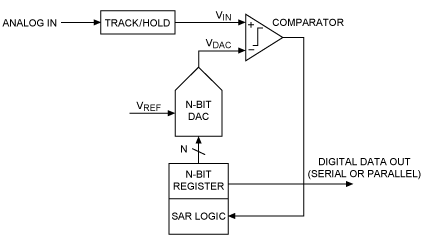


Figura X. Arquitectura básica de un ADC SAR.

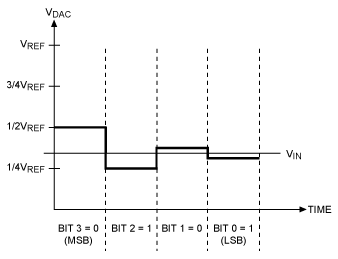


Figura X. Ejemplo de conversión ADC mediante el uso de SAR.

[Understanding SAR](https://pdfserv.maximintegrated.com/en/an/AN1080.pdf)

[ADCs: Their Architecture and Comparison with Other ADCs - Tutorial - Maxim](https://pdfserv.maximintegrated.com/en/an/AN1080.pdf)

[(maximintegrated.com)](https://pdfserv.maximintegrated.com/en/an/AN1080.pdf)

1. Conversión Delta-Sigma: la conversión delta sigma está especialmente diseñada para aplicaciones a baja frecuencia y alta precisión. Las dos secciones principales de un conversor con arquitectura Delta-Sigma corresponde a un modulador Delta-Sigma y filtro digital y de decimación como se observa en la figura X.

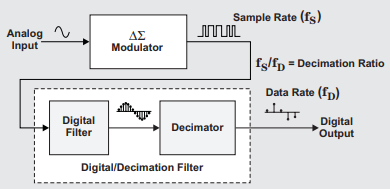


Figura X. Diagrama de bloques básico de arquitectura Delta-Sigma.

La figura X nos muestra cómo se realiza el proceso de conversión con un conversor Delta-Sigma de primer orden. Donde inicialmente se compara la entrada analógica contra el lazo de realimentación. Luego mediante un integrador se busca controlar la señal para lograr la señal deseada, y finalmente mediante un comparador se busca hallar la señal de error para posteriormente ser comparada de nuevo mediante el amplificador diferencial del inicio, esto previamente a un muestreo realizado por el DAC de 1 bit.

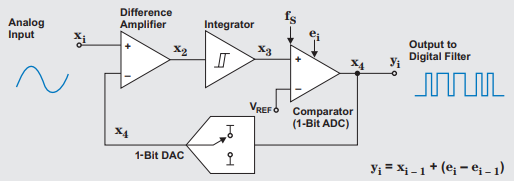


Figura X. Diagrama de bloques del conversor Delta-Sigma de primer orden.

[How delta-sigma ADCs work, Part 1 (Rev. A) (ti.com)](https://www.ti.com/lit/an/slyt423a/slyt423a.pdf?ts=1670345926304&ref_url=https%253A%252F%252Fwww.google.com%252F)

Luego de presentar las arquitecturas, la tabla X presenta algunas ventajas y desventajas de ellas en cada una de las aplicaciones a las cuales se pueden aplicar.

|  |  |  |
| --- | --- | --- |
| SAR | Delta-Sigma | Wide Bandwidth Delta-Sigma |
| Baja latencia | Especial para entrada de sensores | Se usa cuando la latencia no es problema |
| Necesario para transitorios | Alta latencia | Se puede seleccionar la respuesta del filtro digital |
| Baja resolución | Permite pasar señales en DC, pero rechaza las señales en AC. | Permite aplicaciones en AC. |
| Bajo costo | Alta resoluciones (mayores o igual a 16 bits) | Aplicaciones de audio, imagen, análisis de vibraciones, etc. |

Tabla X. Comparativa entre arquitecturas de ADC’s.

1. Wide Bandwidth Delta-Sigma: no mencionado anteriormente, es una versión mejorada de la arquitectura Delta-Sigma para aplicaciones en AC en las cuales la latencia no es problema y mejora la relación calidad-costo. Por su tipo de aplicación (AC) este conversor no es de nuestra importancia y por ello no se profundiza en su análisis y explicación.

Finalmente, se tuvo en cuenta el criterio resumido de la tabla X, para la selección de nuestro ADC (ADS114S08) el cual corresponde a arquitectura Delta-Sigma, debido a que las señales son en DC, además, que los procesos industriales son lentos, lo cual implica que la latencia no es un problema y finalmente, se está trabajando en resolución media-alta, para lo cual esta arquitectura es especialista en dicha resolución.

[adcs-sar-delta-sigma-choosing-sar-or-delta-sigma-presentation.pdf](https://training.ti.com/sites/default/files/docs/adcs-sar-delta-sigma-choosing-sar-or-delta-sigma-presentation.pdf)

* Comunicación: nuestro ADC va a transmitir la información sensada por las entradas analógicas a un sistema de procesamiento, lo cual implica que la comunicación a usar depende de dicho sistema. Los protocolos de comunicación más comunes en los microcontroladores comunes corresponden a: SPI, UART e I2C. A continuación, se presenta una corta comparativa entre ellos:

El protocolo UART, a diferencia de los protocolos SPI e I2C, usan 2 circuitos físicos para

la transmisión de datos, los cuales no requieren de una señal de reloj, lo cual implica que

es un circuito de transmisión asincrónico y esto puede conllevar en algunas aplicaciones a

pérdida de datos. Los protocolos SPI e I2C usan la tecnología maestro-esclavo para dicha

transmisión de datos.

Por otro lado, UART e I2C se parecen en algunos aspectos, como: ambos protocolos de

comunicación usan 2 hilos o cables para la transmisión de datos, esto los hace ideales

para la transmisión de datos a baja velocidad. Otro aspecto en el cual se identifican los

protocolos ya mencionados está en el apartado de la detección de errores, donde ambos

protocolos usan 1 bit para dicha detección de errores.

Finalmente, la comunicación mediante SPI, sí hace uso de una señal de reloj para generar

sincronía en la transmisión de datos, además, usa 2 hilos más que los protocolos ya

mencionados. SPI realiza una comunicación full-duplex y no soporta configuración multi

Maestro.

[I2C vs SPI vs UART – Introduction and Comparison of their Similarities and Differences - Total Phase Blog](https://www.totalphase.com/blog/2021/12/i2c-vs-spi-vs-uart-introduction-and-comparison-similarities-differences/#:~:text=Also%2C%20both%20UART%20and%20SPI,in%20computer%20and%20microcontroller%20applications.)

Para la selección del protocolo de nuestro ADC, se tuvo en cuenta que, en el apartado anterior, es decir, en la arquitectura, ya se tuvo en cuenta la lentitud de las señales provenientes del medio industrial, para lo cual, se busca un protocolo de comunicación que no genere más retardos en el sistema, es decir, que sea rápido, para lo cual el protocolo SPI es ideal. Por otro lado, la configuración multimaestro no es necesaria, por lo que, solo se tiene 1 dispositivo maestro, es decir, nuestro sistema de procesamiento y finalmente, mediante la señal de reloj que controla el ADC, para generar una transmisión de datos síncrona.

Teniendo en cuenta las características expuestas con anterioridad, se seleccionó, como ya se mencionó, el ADS114S08, como nuestro conversor digital. Se deben calcular los valores para los circuitos de protección y de sensado correspondientes, teniendo en cuenta los valores límites que nuestro ADC es capaz de soportar. A continuación, en la siguiente se presentan los criterios de selección de los dispositivos.

1. **Pulse Withstanding Resistor: R\_PWR**

|  |  |
| --- | --- |
| **Nombre** | PWR5322W75R0JE |
| **Valor** |  |
| **Tolerancia** | 5% |
| **Tipo** | Pulse withstanding resistor |
| **Potencia** | 3 W |
| **Temperatura** | -55 °C a 155 °C |
| **Precio** | $ 0.65 USD |
| **Datasheet** | [PWR2010/3014/4318/5322 – Surface Mount Wirewound Resistors (bourns.com)](https://www.bourns.com/docs/Product-Datasheets/PWR2010.PDF) |

**Criterio de selección:** para la entrada al circuito se busca una resistencia la cual se encargue de soportar una gran cantidad de voltaje junto al capacitor C1 durante algunos transitorios generados por las formas de ondas ya mencionadas en los estándares presentados con anterioridad. Esta resistencia es seleccionada con 3 objetivos:

* Soportar los voltajes y corrientes generados por los transitorios sugeridos en los estándares IEC 61000-4-2, IEC 61000-4-4 y IEC 61000-4-5.
* Cumplir con la impedancia de entrada que sugiere el estándar IEC 61131-2 para entradas analógicas.
* Soportar el voltaje en caso de que a la entrada sea expuesto a un voltaje de 24 [] o 120 [] de manera accidental.

A continuación, se presentan las diferentes demostraciones para explicar la selección de los parámetros de la resistencia seleccionada.

1. Para determinar el valor de resistencia, es decir, , se tuvo en cuenta la gráfica de Resistencia vs Pico de Voltaje que presenta el fabricante en la figura X.

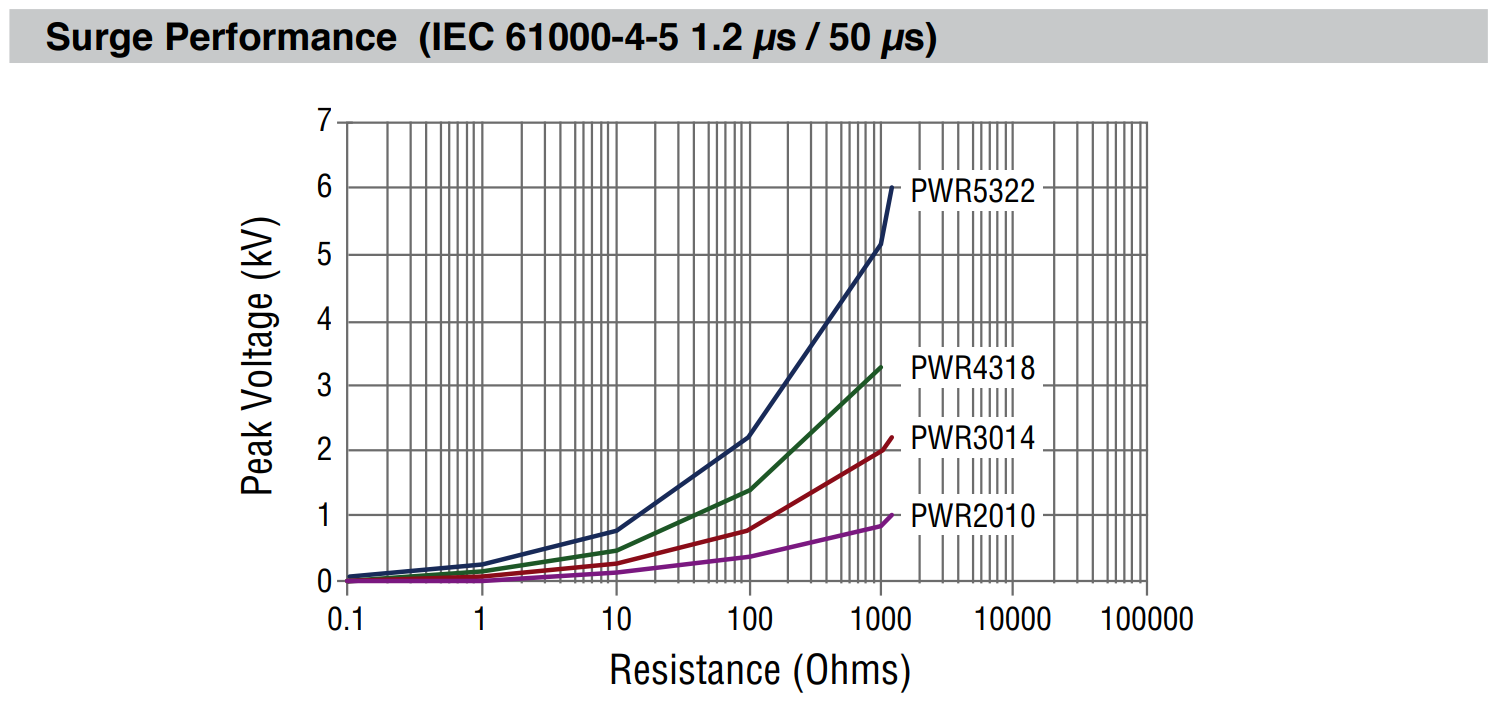


Figura X. Curvas para los diferentes modelos de resistencias de la serie PWR.

Donde se puede observar que, para una resistencia de , de la serie PWR5322, el pico soportado se encuentra justamente en el rango donde es requerido, es decir, los 2 [kV], lo cual implica que esta resistencia estaría en capacidad de soportar una forma de onda de voltaje como la que sugiere la norma IEC 61000-4-5 en su nivel 3, es decir, 2 [kV] y los voltajes que se pueden generar por las formas de onda de corriente que sugieren las formas de onda expuestas en los estándares IEC 61000-4-2 y IEC 61000-4-4 (en su nivel 4).

1. Para determinar la potencia de la resistencia, se tiene en cuenta la ecuación para el voltaje máximo que soporta la resistencia, que nos brinda el fabricante:

* 120 : En este caso, el voltaje que se puede recibir en la entrada será distribuido mediante el divisor de tensión que se genera entre la resistencia y el capacitor . Los cálculos que nos permite conocer el voltaje que se presenta sobre cada uno de los elementos ya mencionados son:

Esto nos permite corroborar que el voltaje sobre la resistencia es bastante bajo, lo cual implica que esta no se ve afectada de manera negativa ante esta posible entrada.

* 24 : para este caso, el capacitor C1 se comporta como un circuito abierto, al estar en corriente continua y el diodo TVS se encuentra fuera de su rango de operación. Esto implica que el voltaje se distribuye entre , y . Esto conlleva a que el voltaje sobre la resistencia está dado por el divisor de tensión que se presenta a continuación:

Se concluye a partir de los cálculos anteriores que los valores escogidos son adecuados para la propuesta presentada, dejando un margen entre los valores que se deben presentar y los valores máximos que soporta la resistencia, dando así un margen de error. Esto debido a que en fenómenos reales se pueden dar variaciones las cuales implican que el funcionamiento o magnitudes pueden variar.

b) **Capacitor** : este capacitor se presenta con el objetivo de ser ayuda al diodo TVS que será presentado más adelante. Esta ayuda implica que la disipación de altas corrientes sea dada por ambos dispositivos y que finalmente esta no vaya a generar repercusiones negativas en las entradas del conversor analógico-digital. Algunas de sus características son se presentan en la tabla X.

|  |  |
| --- | --- |
| **Nombre** | C1206C102KAREC7210 |
| **Valor** | 1 nF |
| **Tolerancia** | 10% |
| **VDC** | 250 V |
| **Precio** | $ 0.23 USD |
| **Datasheet** | [C1206C102KAREC7210 (kemet.com)](https://connect.kemet.com:7667/gateway/IntelliData-ComponentDocumentation/1.0/download/datasheet/C1206C102KAREC7210) |

Tabla X. Caracterización capacitor

Para la selección de este capacitor se tuvo en cuenta el tipo de capacitor que este es. Este capacitor está diseñado con un material el cual es diseñado especialmente para soportar las descargas electrostáticas más comunes como las expuestas en el estándar IEC 61000-4-2, y cantidades de corrientes altas que se generan de los voltajes que los estándares IEC 61000-4-2 y IEC 61000-4-5 establecen.

En la figura X se presenta el esquemático usado para realizar la simulación la cual busca encontrar el valor de capacitor más adecuado para ayudar a la disipación de energía de manera más rápida, haciendo uso de las formas de onda sugeridas por los estándares IEC 61000-4-2, además su hoja de datos sugiere que está diseñado para disipar corrientes generadas por voltajes de 4 [kV] en ESD y IEC 61000-4-5. los cuales son los que establecen formas de onda de corriente a disipar por el sistema.

Shape

Description automatically generated with medium confidence

Figura X. Esquemático para la selección de C1.

Para realizar la simulación se tuvieron diferentes valores de capacitores, los cuales en su mayoría de casos fueron descartados por su poca utilidad y por lo cual en la figura X solo se presentan los 3 que presentaron mejor comportamiento ante los estímulos de entrada. Inicialmente en la figura X se presenta la simulación para la forma de onda que sugiere el estándar IEC 61000-4-2; posteriormente teniendo en cuenta el comportamiento ante esta señal se establecerá si es apto para soportar la señal de corriente que sugiere el estándar de sobretensiones IEC 61000-4-5. En la figura X solo se presenta gráfica de corriente, debido a que la hoja de datos del dispositivo seleccionado sugiere que está diseñado para soportar las tensiones que generan las ESD.

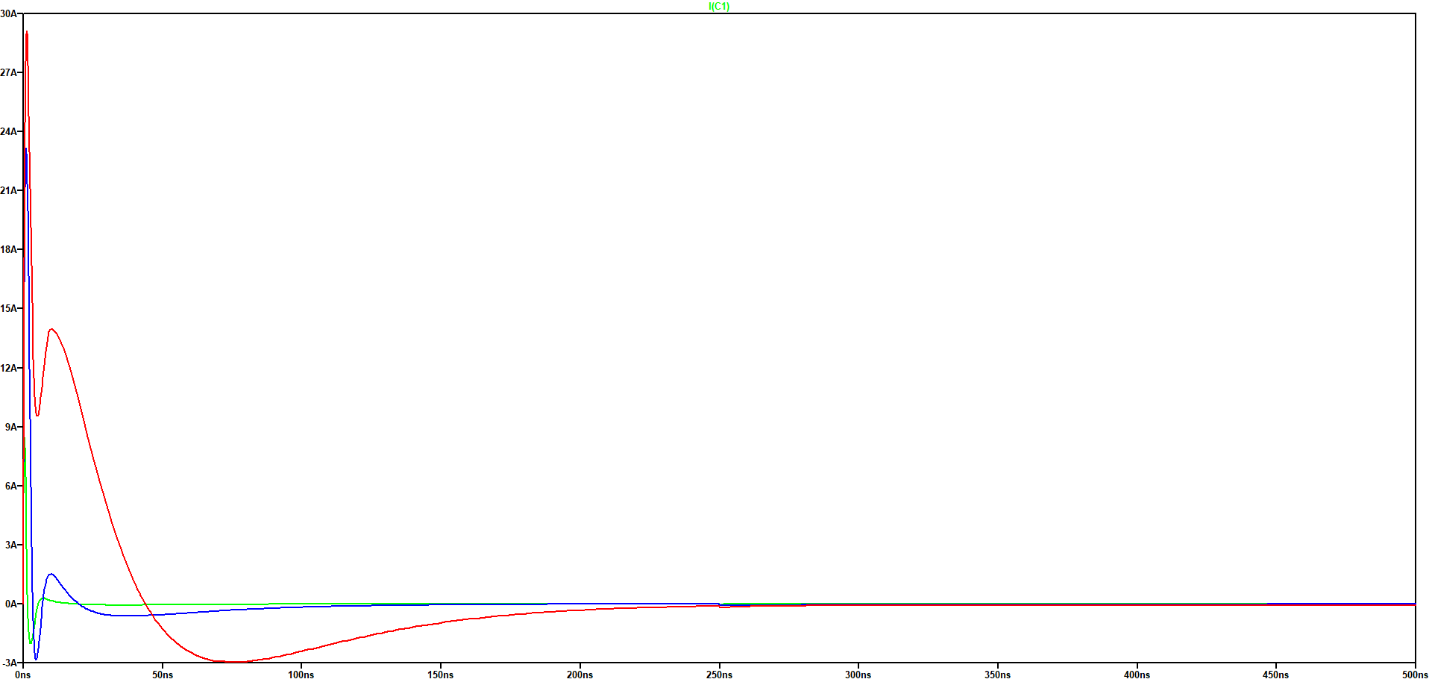


Figura X. Curva de corriente a través del capacitor C1.

A partir de la figura X se puede concluir que la curva que mejor se ajusta es la correspondiente a un capacitor de 1 [nF] debido a que transporta una cantidad considerable de corriente frente a sus competidores sin ser la mejor en este aspecto, además, que logra disipar dicha cantidad de corriente en una cantidad de tiempo reducido comparado con el capacitor de 10 [nF].

Chart, line chart

Description automatically generated

Figura X. Forma de onda sugerida por IEC 61000-4-5 y corriente a través del capacitor

Donde haciendo uso de las mismas leyendas de la figura X, se puede terminar que la mejor opción sería el capacitor de 10 [nF] ya que disipa más corriente, pero teniendo en cuenta que el dispositivo principal para este efecto es el diodo TVS, podemos concluir que el capacitor de 1 [nF] también representa una buena alternativa para disipar las corrientes generadas por descargas ESD y sobretensiones.

c) **Fusible PTC (R\_PTC):** Este tipo de PTC es seleccionado para que se comporte como un fusible temporal y reiniciable ante las grandes cantidades de corriente presentes en el circuito. Para esto se debe tener en cuenta las condiciones de operación normal sobre el circuito y además, en qué momento el dispositivo debe entrar en acción.

|  |  |
| --- | --- |
| **Nombre** | 2016L030 |
|  | 0.5 Ohm |
|  | 2.3 Ohm |
|  | 300 mA |
|  | 600 mA |
|  | 60 V |
| **Precio** | $ 0.67 USD |
| **Datasheet** | [littelfuse\_ptc\_2016l\_datasheet.pdf.pdf](https://www.littelfuse.com/~/media/electronics/datasheets/resettable_ptcs/littelfuse_ptc_2016l_datasheet.pdf.pdf) |

Para la selección del fusible PTC se tuvieron en cuenta sus parámetros de funcionamiento ya mencionados en la tabla anterior. Entre las posibles acciones que pueden afectar de manera negativa se observa que la que implica mayor flujo de corriente es la forma de onda sugerida por los estándares IEC 61000-4-2 y IEC 61000-4-5, dicha forma de onda dada por corriente, a lo cual, se escoge un valor de corriente mucho menor al pico de esta onda, pero que supere con creces el valor de operación normal, para que realice un correcta protección hacía la parte posterior del circuito de entrada.

d) **Diodo TVS (U1):** El diodo TVS como fue presentado mucho antes en este texto, es el dispositivo por excelencia para soportar las altas magnitudes de corriente y voltaje. Para la selección de este dispositivo se usaron simulaciones que serán presentadas a continuación.

|  |  |
| --- | --- |
| **Nombre** | SMBJ10CA |
|  | 10 V |
|  | 12.3 V |
|  | 17 V |
| **Precio** | $ 0.42 USD |
| **Datasheet** | [Littelfuse\_TVS\_Diode\_SMBJ\_Datasheet\_pdf-1108540.pdf (mouser.com)](https://www.mouser.com/datasheet/2/240/Littelfuse_TVS_Diode_SMBJ_Datasheet_pdf-1108540.pdf) |

Para la selección de este diodo TVS, se probaron algunos diodos TVS en simulación, buscando que estos generen la más mínima afectación en operación normal. Para realizar esta simulación se usó el esquemático de la figura X, usando el capacitor con un valor de 1 [nF].

Shape

Description automatically generated with medium confidence

Figura X. Esquemático para realizar las simulaciones.

Se busca que el diodo TVS genere la más mínima afectación sobre el circuito en su zona de operación normal, y como estamos trabajando con corriente, el diodo TVS debe generar el mínimo consumo de corriente, para garantizar que la caída de voltaje sobre la resistencia de sensado se acerque al ideal. Mediante las simulaciones, en la tabla X, se consigna el consumo de corriente generado por el diodo TVS en sus diferentes versiones.

|  |  |
| --- | --- |
| **Diodo TVS** | **Corriente [uA]** |
| SMBJ5.0CA | 90 uA - 390 uA |
| SMBJ7.0CA | 24 uA- 78 uA |
| SMBJ8.5CA | 11.17 uA- 15.87 uA |
| SMBJ10CA | 10.24 uA - 11.24 uA |
| SMBJ12CA | 10.04 uA - 10.20 uA |
| SMBJ15CA | 10.03 uA - 10.16 uA |

Tabla X. Corriente consumida por los diferentes diodos TVS simulados.

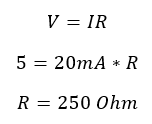
Teniendo en cuenta que a partir del modelo SMBJ10CA fabricado por Littlefuse, el consumo de corriente comienza a variar muy poco, comparado con sus modelos de voltaje inferior, se escogió este modelo como el adecuado, debido a que se busca que el *clamping voltage* no aumente, para que el regulador de voltaje conformada por Rs y el diodo zener no vaya a presentar alteraciones sobre su funcionamiento.

e) **Current Sense Resistor ():** una resistencia usada para medir en funcionamiento normal, las corriente en el rango de 4-20 mA, para luego, ser posteriormente convertida en voltaje.

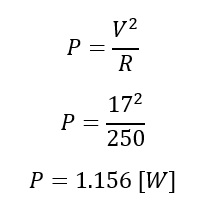
|  |  |
| --- | --- |
| Nombre | PWR4318W2500JE |
| Valor |  |
| Tolerancia | 5% |
| Tipo | Resistencia para el sensado de corriente. |
| Potencia | 2 W |
| Temperatura | -55 °C a 155 °C |
| Precio | $ 0.89 y 0.125 USD |

Para seleccionar esta resistencia, se tuvieron en cuenta 2 criterios:

* Ante una entrada al dispositivo en operación normal, es decir, 20 mA a la entrada se desea que el conversor analógico-digital logre ver 5 [V], lo cual nos arroja los siguientes cálculos:



* Ahora, ya conociendo el valor de resistencia a usar, y conociendo el máximo voltaje al cual esta va a ser expuesta debido a la limitación del diodo TVS (17 [V]), se calcula la máxima potencia que soporta esta resistencia, así:



Para lo cual se observa que la selección de una resistencia 2 [W] es adecuada para los valores tenidos en cuenta. Este tipo de resistencias se caracteriza por ser bastante precisas y menos propensas al ruido, lo cual las hace más adecuadas para aplicaciones como en la cual la estamos usando.

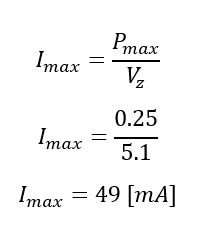
f) **Diodo zener y Rs**: el diodo TVS tiene un clamping voltage de 17 V, es decir, es la máxima tensión a la cual va a ser expuesta la resistencia de sensado, y, por ende, ante la ausencia de un circuito que limite este valor de voltaje sería el máximo valor de voltaje al que se vería expuesto el puerto de entrada del conversor analógico-digital. Para evitar que esto suceda, se realiza el uso justo antes de la entrada de conversión, de un diodo Zener, que funcione como regulador de voltaje. Para ello, se debe tener en cuenta una resistencia (Rs), la cual va a soportar la tensión restante a la que el diodo zener no hará. El diodo zener seleccionado se caracteriza en la tabla X.

|  |  |
| --- | --- |
| **Nombre** | BZX84C5V1LT1 |
| **Voltaje zener** | 5.1 [V] |
| **Tipo** | Diodo zener para regulado de voltaje. |
| **Potencia** | 250 [mW] |
| **Temperatura** | -65 °C a 150 °C |
| **Precio** | $ 0.15 USD |
| **Datasheet** | [BZX84C2V4LT1 (digikey.com)](https://media.digikey.com/pdf/Data%20Sheets/ON%20Semiconductor%20PDFs/BZX84C2V4LT1-D,BZX84B4V7LT1.pdf) |

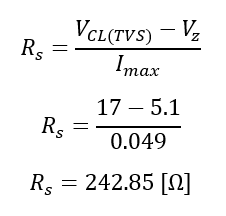
Tabla X. Caracterización del diodo zener.

Se escoge este valor de diodo zener, porque está por encima del valor máximo de funcionamiento normal del circuito, es decir, 5 [V]. A partir de 5.1 V a la salida de la resistencia de sensado de corriente, se vería regulado frente a la entrada del ADC, dicho voltaje. Este voltaje está sujeto a variaciones debido a que el dispositivo tiene un voltaje zener que puede variar entre su valor mínimo y máximo según su hoja de datos. El conversor analógico-digital en su hoja de datos, nos indica que su voltaje máximo corresponde a 5.3 [V] a sus entradas, asumiendo una alimentación de 5 [V]. Por lo cual un voltaje de 5.1 [V] se encuentra en el rango y es aceptable. Finalmente, se debe calcular la resistencia Rs en función de la corriente máxima que va a fluir por dicha resistencia, para que esta se encuentre que la capacidad de soportar el máximo voltaje a la que va a ser expuesto y por consiguiente la potencia de dicha resistencia.

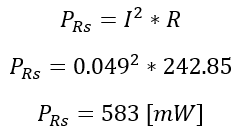
* Corriente máxima sobre el diodo zener:



* Valor de la resistencia Rs:



* Potencia de la resistencia Rs:



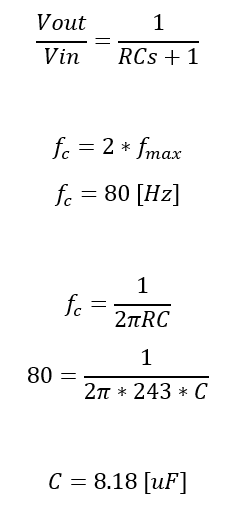
Con base en los valores que fueron calculados previamente, se seleccionó una resistencia con las siguientes características:

|  |  |
| --- | --- |
| **Nombre** | ERJ-1TNF2430U |
| **Valor** |  |
| **Tolerancia** | 1% |
| **Tipo** | Resistencia de propósito general |
| **Potencia** | 1 W |
| **Precio** | $ 0.68 USD |
| **Datasheet** | [ERJ type (panasonic.com)](https://industrial.panasonic.com/cdbs/www-data/pdf/RDA0000/AOA0000C304.pdf) |

Tabla X. Caracterización de la resistencia Zener.

g) **Capacitor :** el capacitor se presenta como propuesta a una buena práctica para eliminar las señales no deseadas a la entrada del conversor analógico-digital, es decir, un filtro anti-aliasing. Para ello, cuando el diodo zener no se encuentre en funcionamiento, es decir, en operación normal, la resistencia junto con el capacitor se comportan como un filtro pasa-bajos de primer orden. Para calcular este valor, se realiza la función de transferencia del filtro, para así determinar la frecuencia de corte del filtro. La frecuencia de corte del filtro corresponde al doble que la frecuencia máxima de entrada al ADC para no eliminar las señales deseadas (Frecuencia de Nyquist).

El conversor analógico-digital va a trabajar a 40 SPS, debido a que los procesos industriales son lentos, por lo cual, la frecuencia de corte del filtro pasa bajas se debe situar en los 80 [Hz], esto determina el valor del capacitor , de la siguiente manera:



El voltaje del capacitor está dictado por el máximo voltaje que el diodo zener le brinda, es decir, 5.1 [V]. Finalmente se seleccionó un capacitor, que se presenta a continuación en la tabla X.

|  |  |
| --- | --- |
| **Nombre** | C1210X825K3RAC7800 |
| **Valor** | 8.7 uF |
| **Tolerancia** | 10% |
| **VDC** | 25 V |
| **Precio** | $ 0.87 USD |
| **Datasheet** | [C1210X825K3RAC7800 (kemet.com)](https://connect.kemet.com:7667/gateway/IntelliData-ComponentDocumentation/1.0/download/datasheet/C1210X825K3RAC7800) |

Tabla X. Capacitor de filtrado (caracterización).

Finalmente, para demostrar que el dispositivo cumple con el funcionamiento deseado y adecuado en la siguiente sección se comprueba el funcionamiento del dispositivo en los diferentes rangos de operación.

**Operación del circuito en el rango de 4-20 [mA]**: se debe demostrar que el circuito en este rango, es decir, en operación normal, el circuito demuestra un correcto funcionamiento. Para demostrar un adecuado funcionamiento, los elementos de protección, como lo son: la RPWR, C1, U1 (Diodo TVS), D1 y C2, no estén en funcionamiento, y que en el rango de excursión ya mencionado, el voltaje en la entrada del conversor analógico digital sea el deseado y tenga un comportamiento totalmente lineal.

Para lograr este objetivo, se presenta en la figura X el esquemático de simulación el cual fue usado para corroborar el funcionamiento ya mencionado.

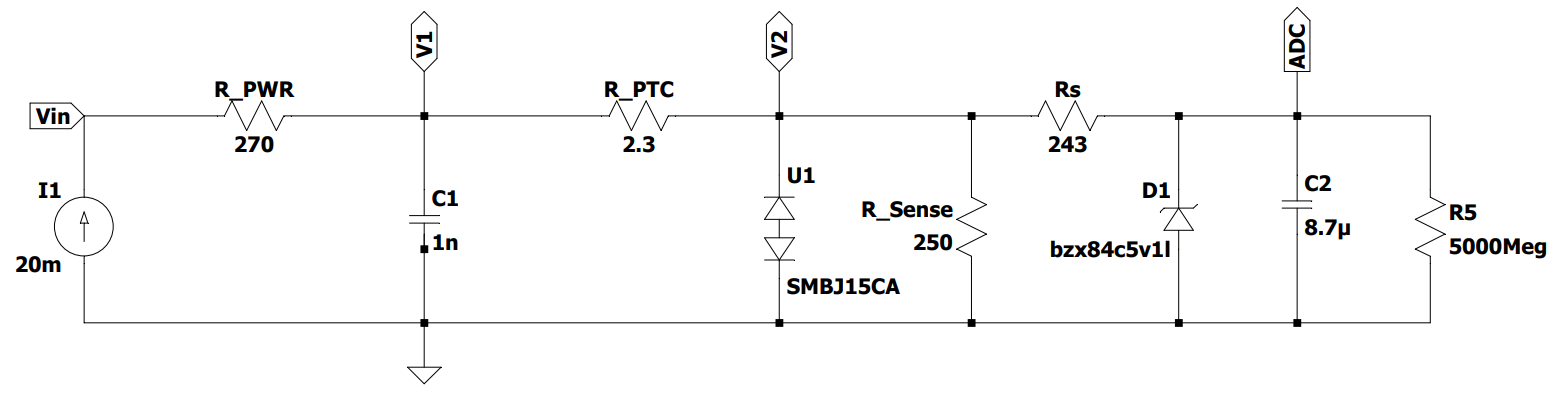
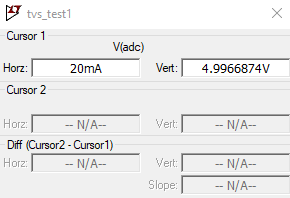
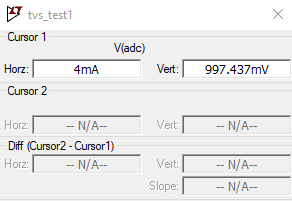


Figura X. Esquemático para la simulación de linealidad.

Inicialmente se realiza un barrido en DC, el cual busca analizar el comportamiento del circuito en el rango de excursión de 4-20 mA y observar el voltaje de entrada sobre el conversor analógico-digital (VADC). Esto se presenta en la figura X.



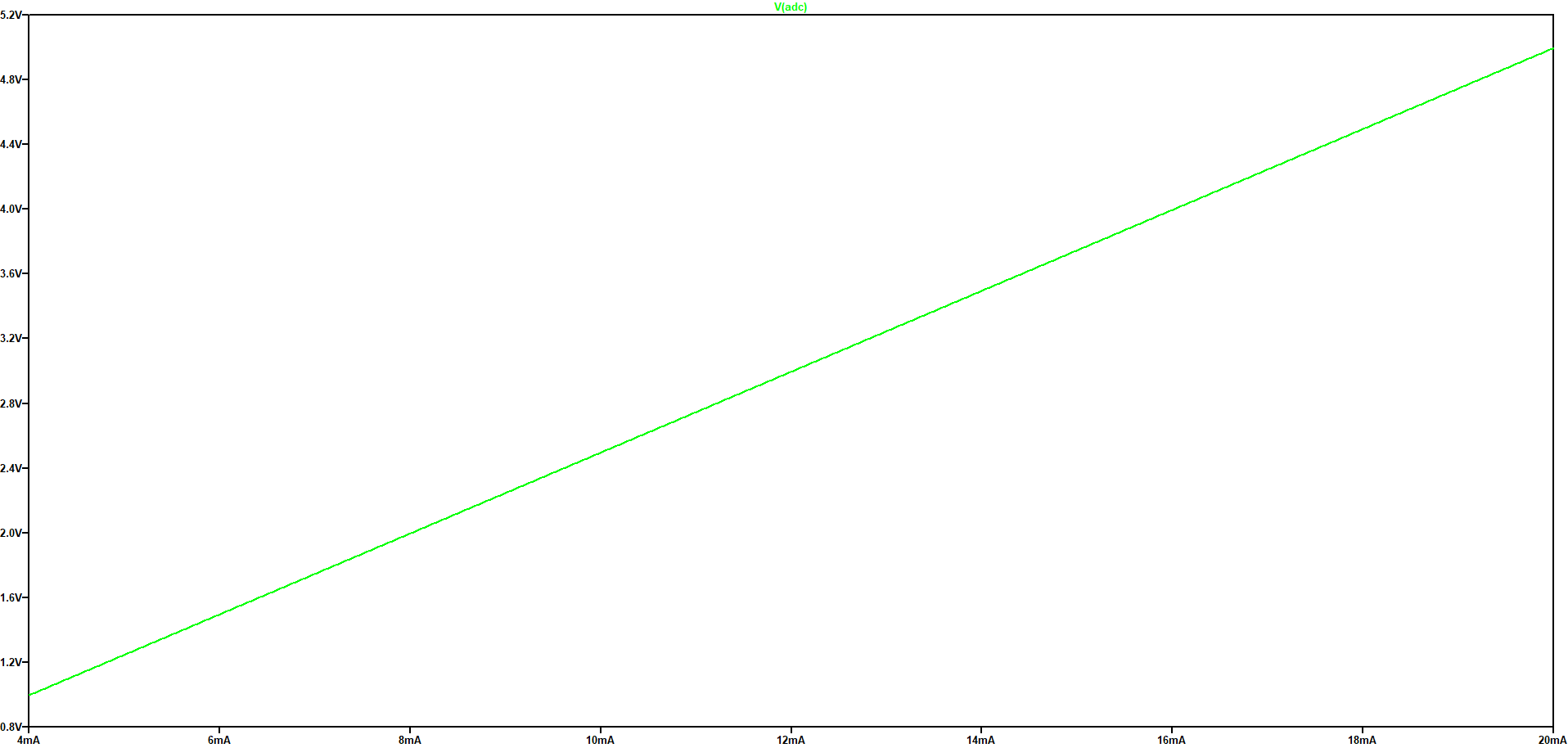


Figura X. Voltaje de entrada al ADC en el rango de 4-20 mA.

Donde se observa un comportamiento lineal de manera visual. También se observa que no se obtienen los valores de 1 [V] y 5 [V] deseados, esto debido a que los dispositivos protectores, como lo son el diodo TVS y el diodo Zener, generan consumo de corriente. En el anexo X se presenta el consumo de estos dispositivos y una solución para compensar estos errores.

Teniendo en cuenta que visualmente el comportamiento del circuito es lineal de manera visual y haciendo uso del esquemático presentado en la figura X, se realiza una simulación con una fuente de corriente alterna con amplitud de 8 mA y offset de 12 mA, buscando que una señal sinusoidal cubra el rango de 4-20 mA, tal como lo muestra la figura X.

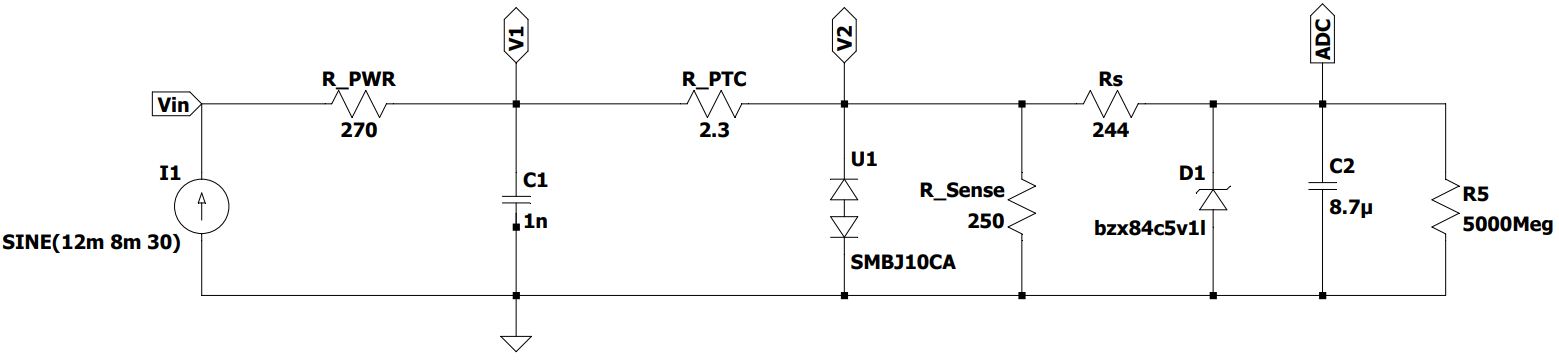


Figura X. Esquemático para buscar la linealidad del circuito de entrada.

Con la simulación realizada se debe observar el voltaje sobre la entrada del conversor analógico-digital VADC y aplicar la FFT (Transformada de fourier rápida), y así como se observa en la figura X, comprobar que solo existe una componente sinusoidal en el espectro de la señal sobre el conversor analógico-digital.

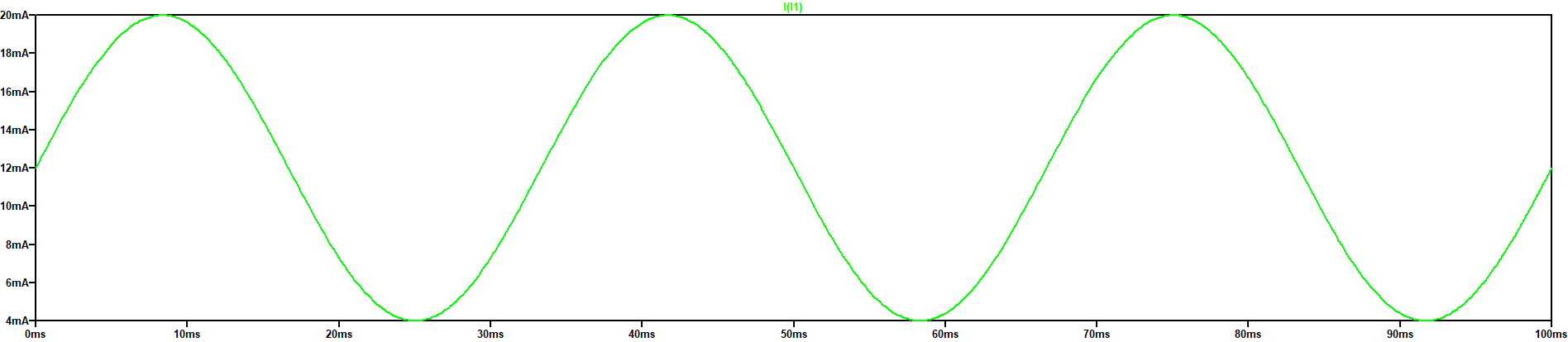


Figura X. Señal de entrada aplicada para la simulación de linealidad en AC.

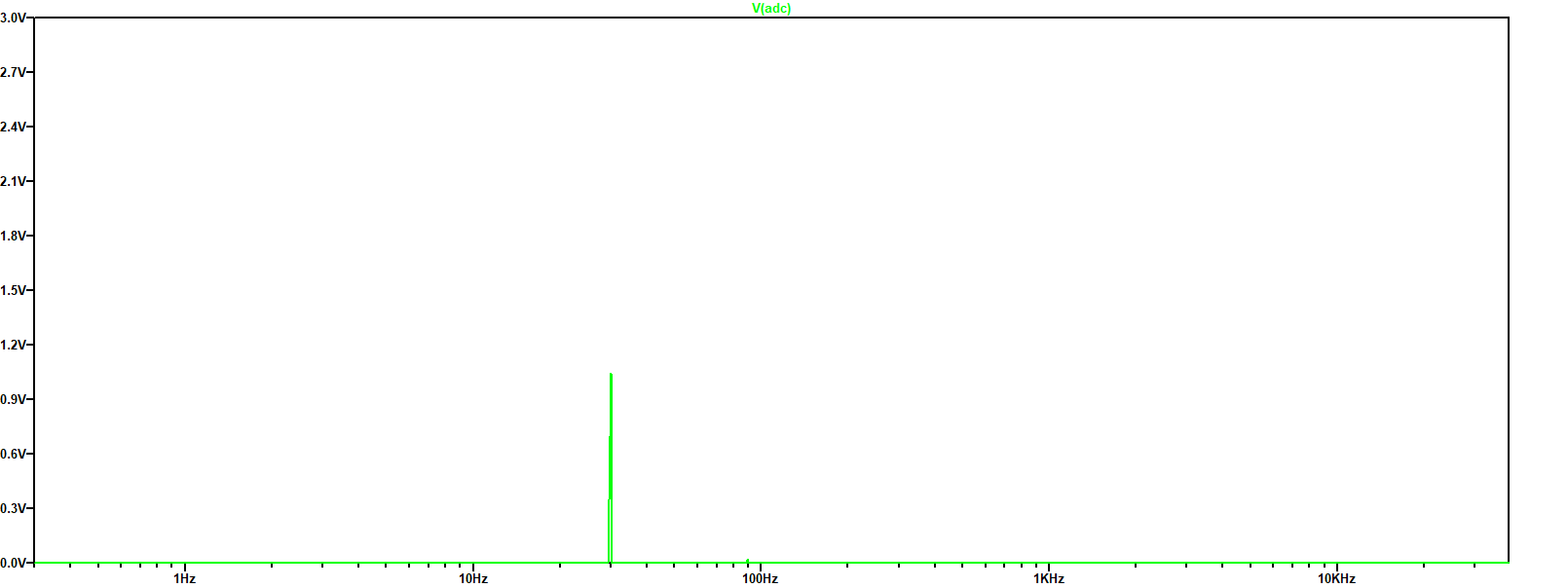


Figura X. FFT de la señal sobre el nodo VADC.

**Comportamiento ante el estándar IEC 61000-4-2:** teniendo en cuenta que el circuito es lineal, se comprueba que el circuito está en capacidad de soportar las formas de onda que sugieren los estándares mencionados con anterioridad en este texto. Para comprobar el correcto funcionamiento del circuito, se hace uso del software de simulación que se ha venido usando durante este desarrollo. En la figura X se presenta la forma de onda que sugiere el estándar IEC 61000-4-2, aplicada al software de simulación.

Para comprobar que el dispositivo está en correcto funcionamiento, se debe graficar el voltaje sobre el nodo VADC y la corriente que atraviesa a través de la resistencia Rs. Estos se presentan en las figuras X y X.

En la figura X, se observa que el flujo de corriente a través de Rs tiene un pico máximo de 53.28 mA, y teniendo en cuenta que el máximo soporte transitorio de la entrada a nuestro ADC es de 100 mA, podemos concluir que el resultado es bueno y que el circuito está cumpliendo a cabalidad esta sección de protección.

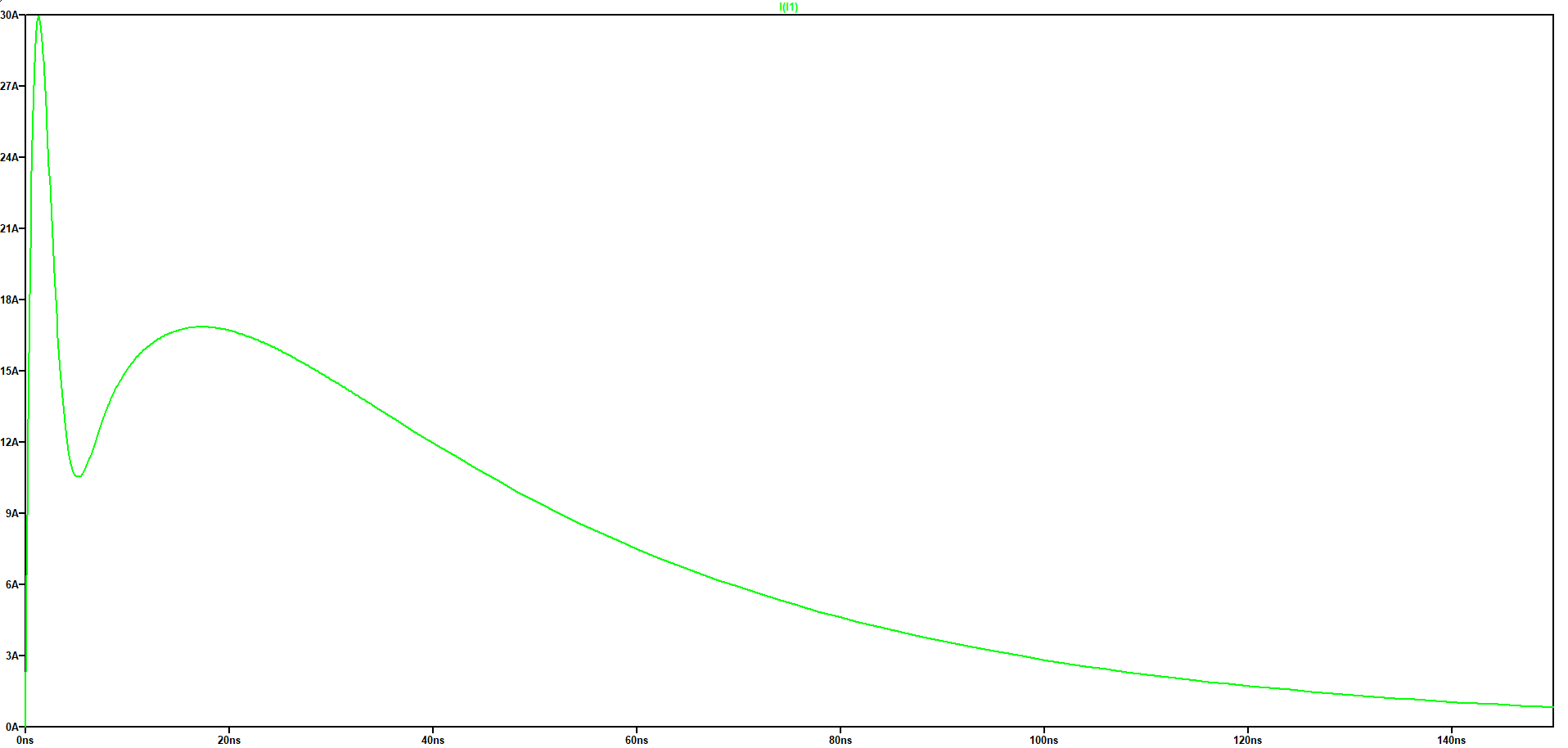


Figura X. Forma de onda sugerida por el estándar IEC 61000-4-2.

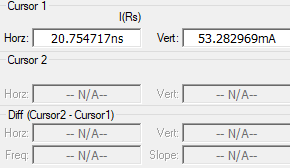
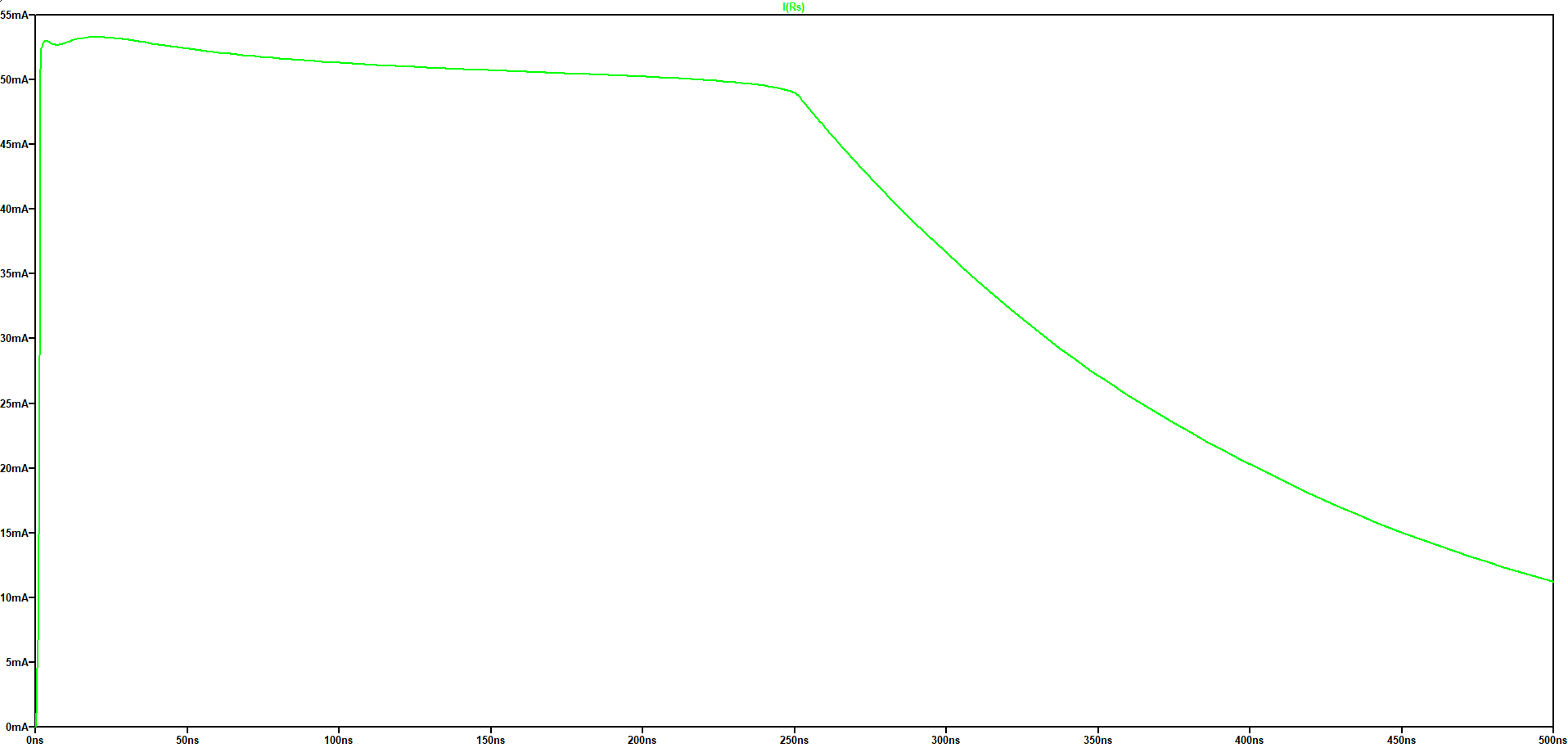


Figura X. Corriente sobre la rama de Rs.

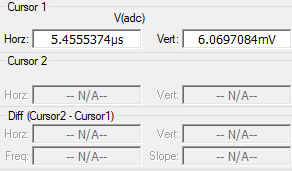
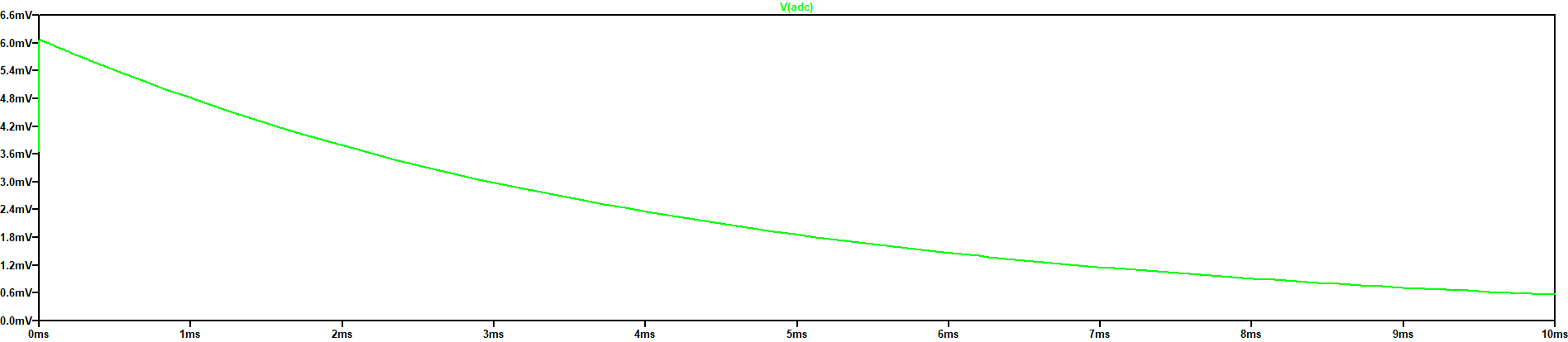


Figura X. Voltaje sobre el nodo VADC.

En la figura X, se observa el voltaje sobre el nodo VADC, donde se observa que el máximo voltaje durante el transitorio corresponde a 6 [mV] de manera aproximada, sobre lo cual este valor está muy por debajo el valor límite que soporta nuestro conversor analógico-digital (5.3 [V]) y significa el circuito cumple de buena manera con el requerimiento planteado.

**Comportamiento ante el estándar IEC 61000-4-4:** ya con anterioridad se mencionó la linealidad del circuito de entrada presentado, para lo cual el siguiente paso es poner a prueba mediante simulación este circuito ante los estándares mencionados que se presentaron con anterioridad. Ya el circuito fue puesto a prueba para el estándar IEC 61000-4-2 y cumplió satisfactoriamente con los resultados esperados. Ahora para el estándar IEC 61000-4-4 correspondiente a EFT (Electrical Fast Transients) se presenta en la figura X la forma de onda que dicho estándar sugiere y al cual el circuito estará sometido a prueba.

Posteriormente, de igual manera a lo realizado con anterioridad, se debe graficar y observar el voltaje sobre el nodo del conversor analógico digital y la corriente sobre la rama de la resistencia Rs. Esto se presenta en las gráficas X y X respectivamente.

Como ya se expuso con anterioridad, este pulso que se presenta en la figura X, se debe presentar con repeticiones dada por una frecuencia de 5kHz, durante 15 ms, luego, el sistema descansará hasta completar un periodo de 300 ms, y este proceso se repite durante 10 segundos. Al ser esto una simulación, únicamente se presentará 1 ciclo de repetición.

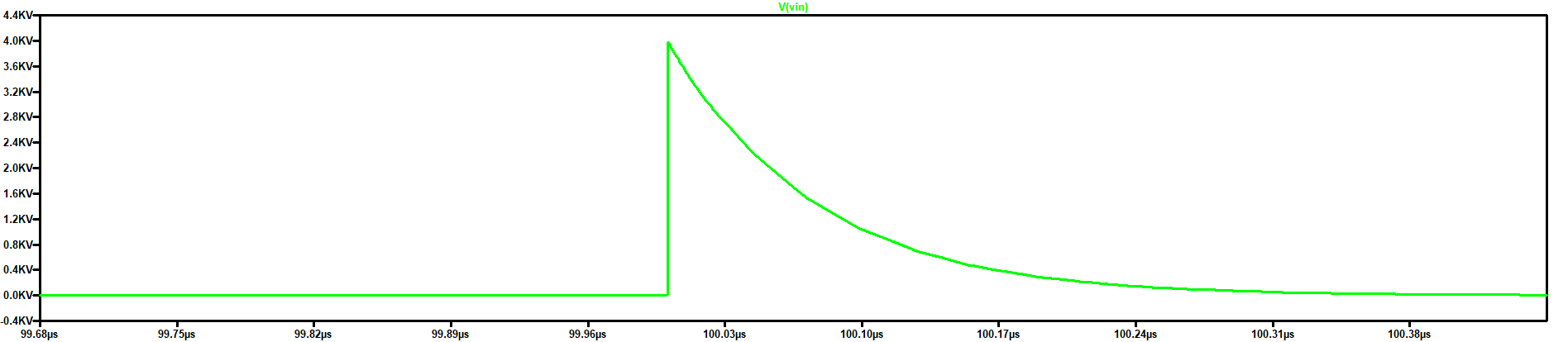


Figura X. Forma de onda sugerida por el estándar IEC 61000-4-4 (1 ciclo).

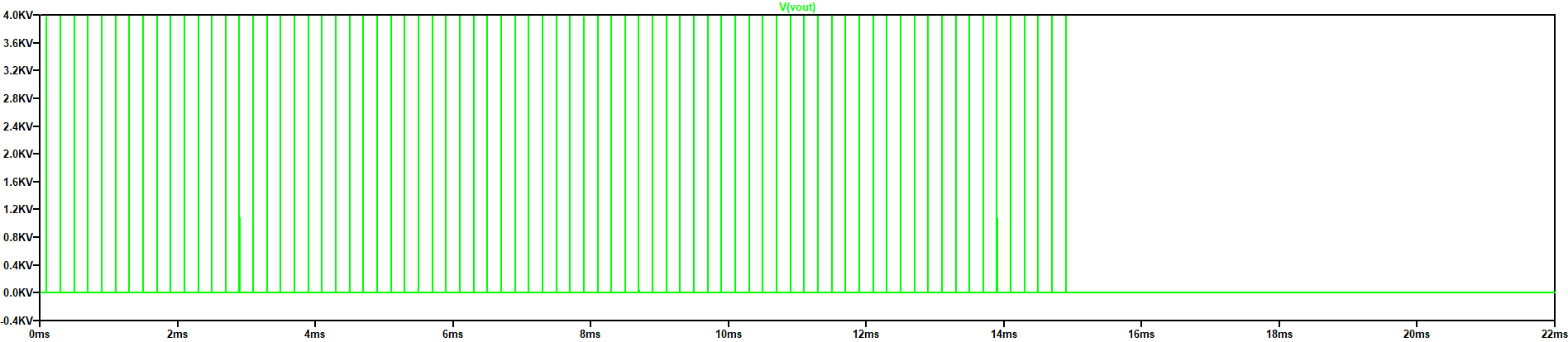


Figura X. Forma de onda sugerida por el estándar IEC 61000-4-4 (periodo activo).

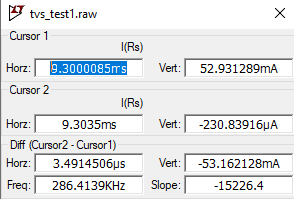
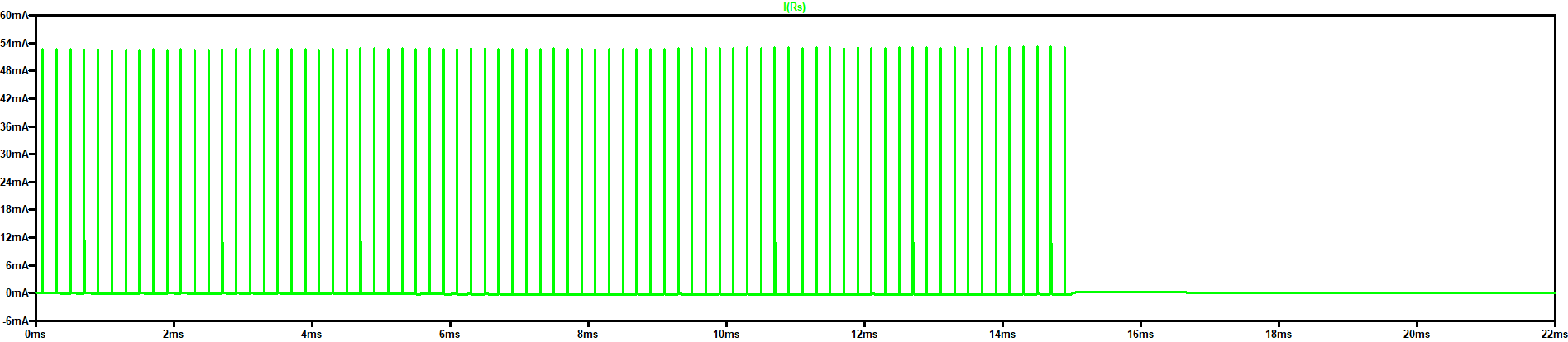


Figura X. Corriente sobre la rama de Rs.

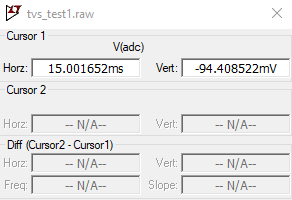
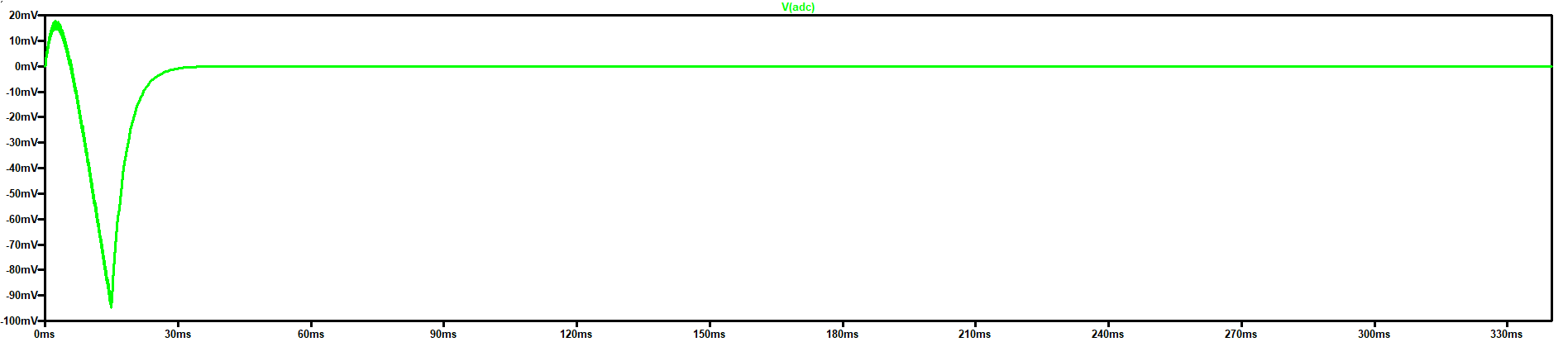


Figura X. Voltaje sobre el nodo VADC.

Se observa en las figuras X y X, que tanto el valor de voltaje como el de corriente, está muy por debajo de los valores que puedan causar daños significativos sobre el conversor analógico digital, por lo cual se puede concluir que el sistema pasa la prueba de manera satisfactoria.

**Comportamiento ante el estándar IEC 61000-4-5:** finalmente se debe exponer el circuito de entrada al último estándar a usar en este proyecto. El IEC 61000-4-5 como ya vimos con anterioridad expone las formas de onda tanto de corriente como de voltaje para las sobretensiones. Las causas por las cuales estas sobretensiones se presentan ya fueron expuestas en este proyecto, por lo cual en esta etapa nos limitaremos al comportamiento que inciden estas formas de onda sobre nuestro circuito de entrada analógica.

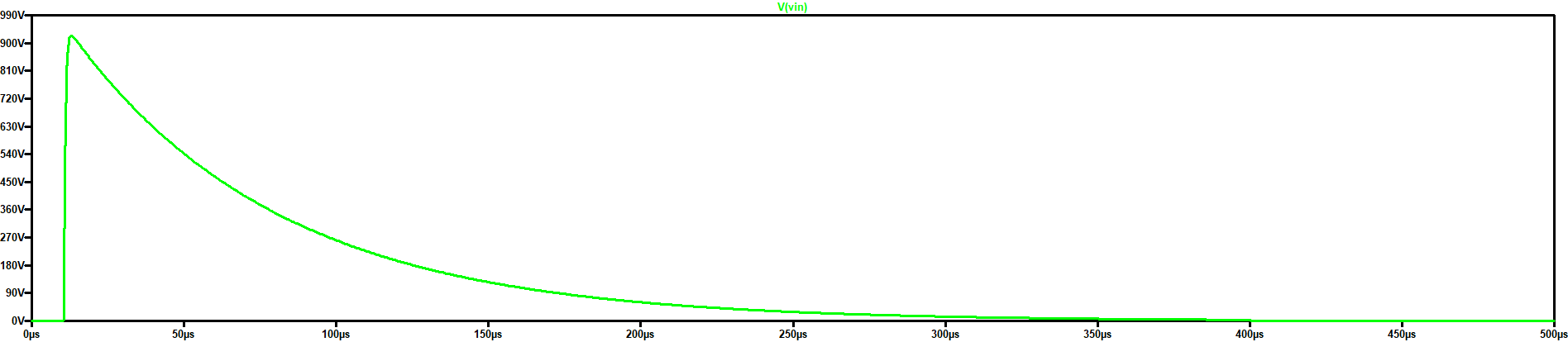
En la figura X, se puede observar la señal de voltaje que sugiere el estándar y el cual es aplicado al circuito en su entrada, buscando obtener los valores de voltaje en el nodo de VADC y de corriente en la rama de la resistencia Rs.

Figura X. Forma de onda sugerida por el estándar IEC 61000-4-4 (1 ciclo).

Con esta señal aplicada, obtenemos las figuras X y X las cuales exponen el voltaje y las corrientes anteriormente mencionadas con el fin de corroborar que el circuito cumple con las especificaciones deseadas, es decir, que ante dichas entradas sugeridas, el circuito no sobrepase los límites que la hoja de datos del conversor analógico digital advierte.

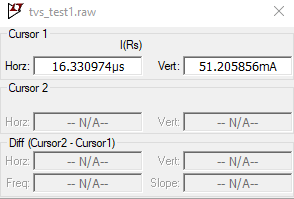
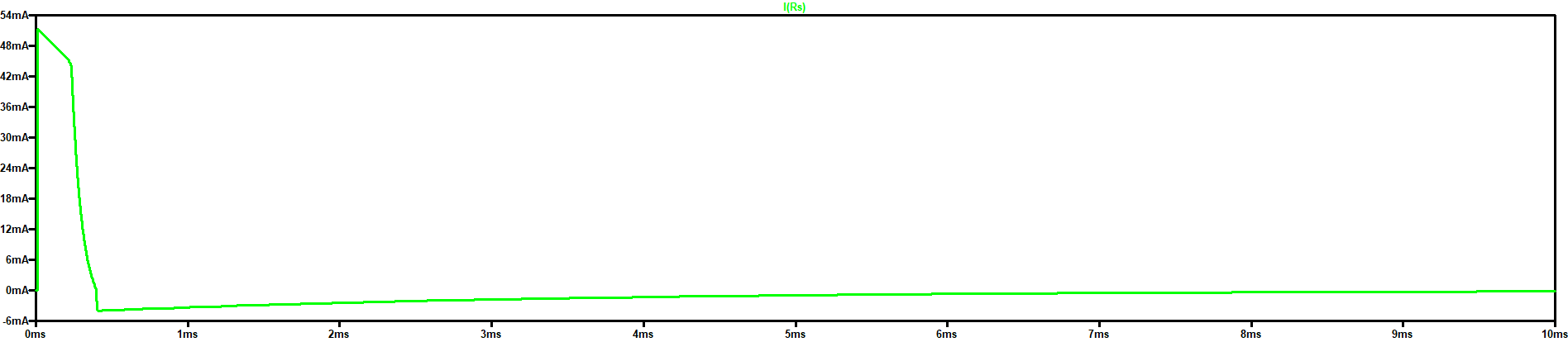


Figura X. Corriente sobre la rama de Rs.

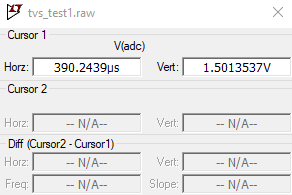
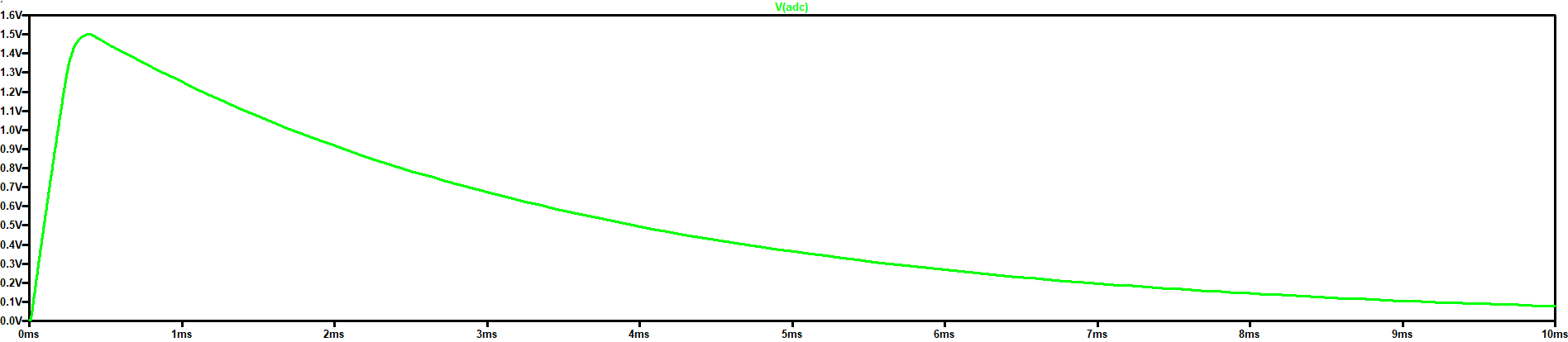


Figura X. Voltaje sobre el nodo VADC.

En las figuras X y X se observa que los valores máximos de voltaje y corriente, es decir, 1.5 V y 51.2 mA respectivamente, están muy lejos de los valores que exceden los límites establecidos para el conversor analógico-digital, por lo cual se concluye que el circuito cumple la prueba ante la entrada de voltaje que sugiere el estándar IEC 61000-4-5.

Posteriormente en la figura X se presenta la forma de onda para corriente que se sugiere mediante el estándar IEC 61000-4-5. Ahora, se presentan de igual manera el voltaje sobre el nodo VADC y la corriente sobre la rama de Rs, en las figuras X y X respectivamente.

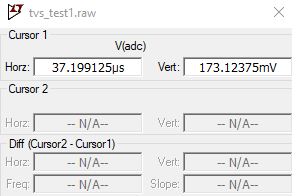
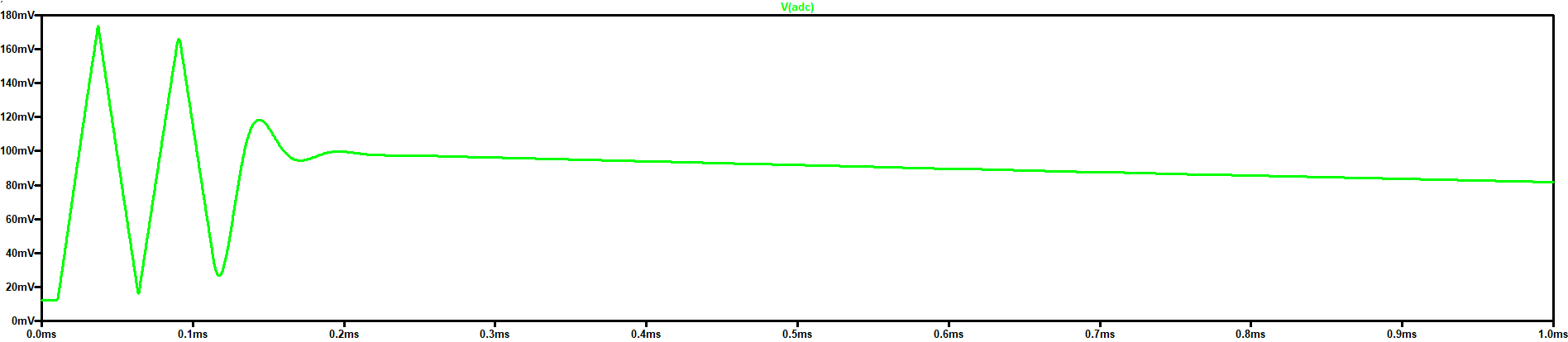


Figura X. Voltaje sobre el nodo VADC.

Chart

Description automatically generatedGraphical user interface

Description automatically generated

Figura X. Corriente sobre la rama de Rs.

**Comportamiento ante entradas de 120 [VAC] y 24 [VDC]:** de manera accidental puede ocurrir que un operario del dispositivo que se está diseñando, conecte las terminales a las entradas ante unas entradas de 120 [VAC] y 24 [VDC]. No serán presentadas de manera gráfica estas posibilidades de entrada debido a que son muy comunes. La señal de 120 [VAC] será una señal con 120 [V] de amplitud, 0 [V] de offset y una frecuencia de 60 [Hz]. En la figura X se presenta el esquemático usado para realizar esta simulación.

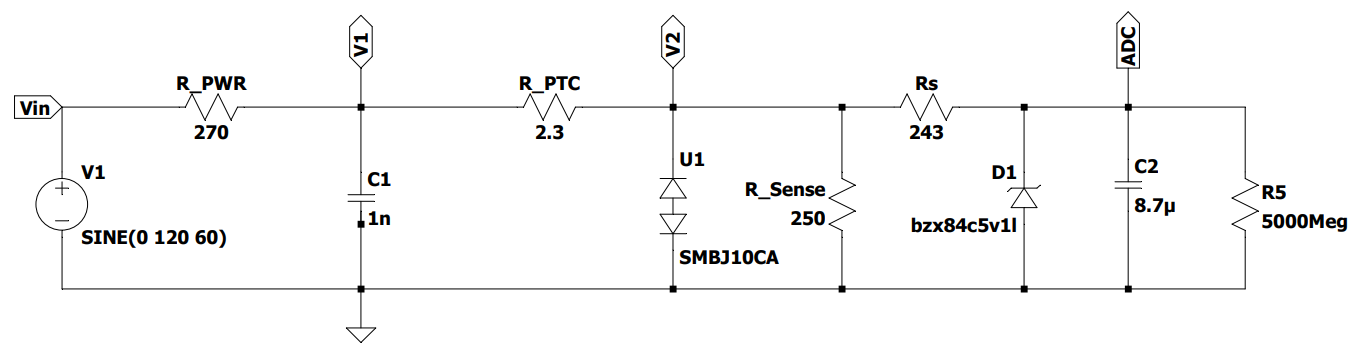


Figura X. Esquemático del circuito de entrada con entrada de voltaje.

Ante esta entrada, de igual manera a el análisis realizado con anterioridad, se analiza la corriente a través de la rama de Rs y el voltaje sobre el nodo del conversor analógico-digital (VADC). En la figura X, se expone el voltaje sobre el nodo VADC ante un voltaje de entrada de 120 [VAC], como se observa en las figuras X y X respectivamente.

A picture containing chart

Description automatically generatedGraphical user interface, application

Description automatically generated

Figura X. Corriente sobre Rs ante un voltaje de entrada de 120 [VAC].

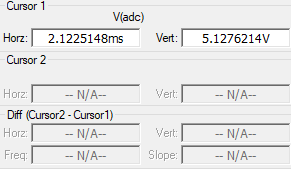
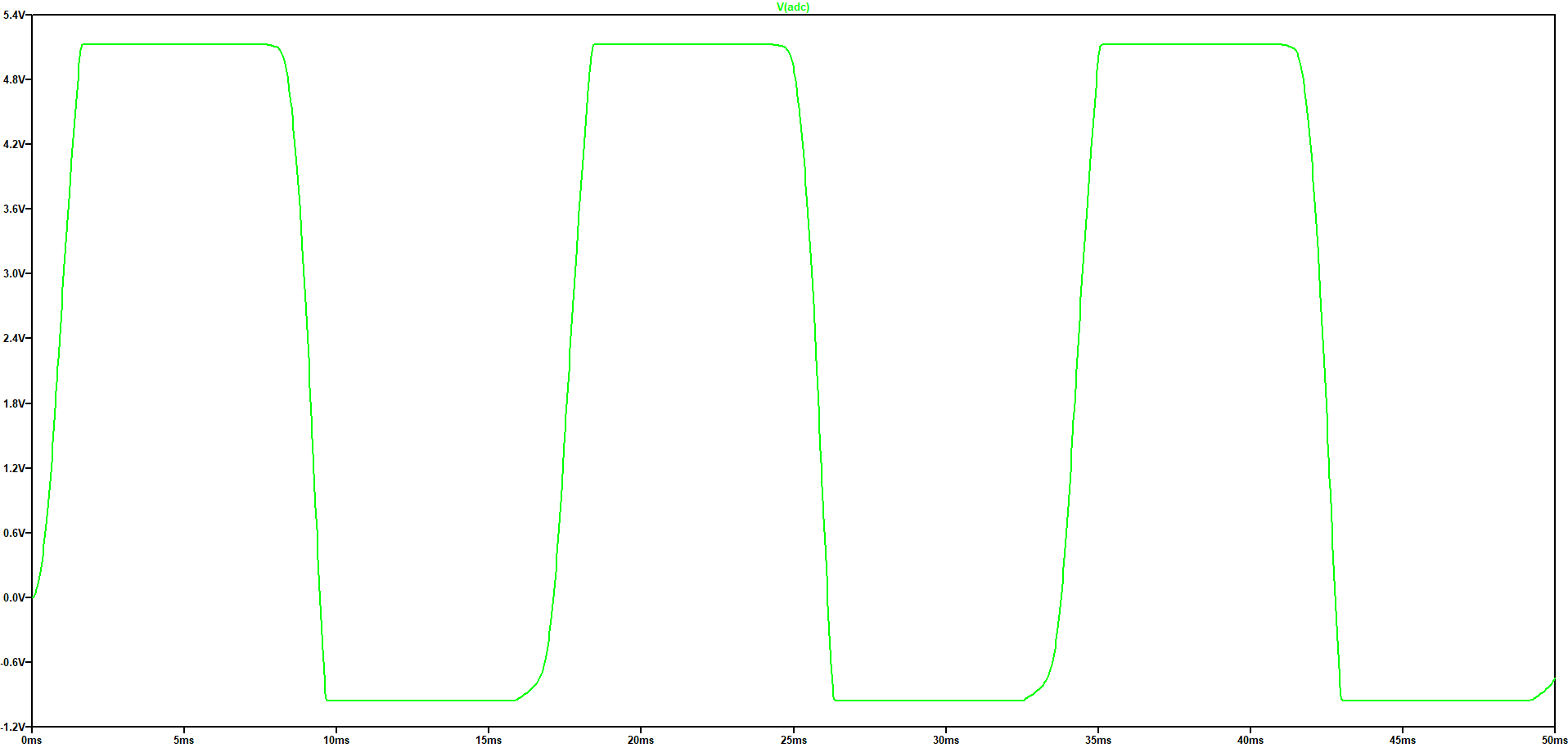


Figura X. Voltaje en el nodo VADC ante un voltaje de entrada de 120 [VAC].

Realizando uso del circuito planteado en la figura X, y haciendo uso de una fuente de 24 [VDC], se observan los mismos parámetros analizados en las figuras X y X, para determinar si el dispositivo cumple con los valores requeridos y máximos permitidos por nuestro conversor analógico digital. Estos parámetros se encuentran consignados en la figura X, donde se observa el punto de operación en DC para establecer los valores que alcanza ante esta entrada en su estado estable.

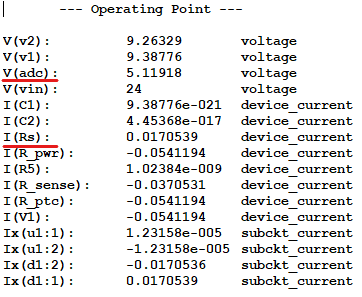


Figura X. Punto de operación del circuito ante una entrada de 24 [VDC].

IEC 61131-2: el circuito presentado en la figura X, es el circuito que se puede presentar cuando el sistema se encuentra en funcionamiento normal, es decir, en el rango de 4-20 [mA], en esta figura se puede apreciar un sistema con una resistencia de entrada de la cual cumple según lo indica el estándar IEC 61131-2, el cual indica que de una entrada analógica debe ser menor o igual a .

Con los análisis anteriores, se puede observar que ante ninguna de las entradas propuestas partiendo desde los estándares mencionados y las entradas convencionales de energía el dispositivo teóricamente presenta ninguna falla, se puede decir que esta etapa del dispositivo no presentará fallas bajo las condiciones ya establecidas y cumple con los requerimientos propuestos inicialmente. Es importante mencionar que físicamente, estos valores presentados desde las formas de onda, hasta los valores de caracterización de los dispositivos pueden variar dadas las condiciones ambientales y físicas donde estos estén presentes; todo esto puede llevar a que su comportamiento varíe un poco al propuesto en este texto haciendo uso de algunos cálculos matemáticos y de modelos matemáticos de simulación. Finalmente, en la figura X se presenta el esquemático de las entradas analógicas con sus elementos extras y conexiones para su adecuado funcionamiento. Los elementos extras ya mencionados son:

* [885012207014](https://co.mouser.com/ProductDetail/Wurth-Elektronik/885012207014?qs=sGAEpiMZZMuMW9TJLBQkXkyessX41tyELFIhacgXmGY%3D): capacitor de 330 nF que requiere la alimentación analógica de nuestro ADC, entre AVDD y AVSS, según lo recomiendo el fabricante en su hoja de datos.
* [C0201X5R6R3-104KNP](https://www.digikey.com/en/products/detail/venkel/C0201X5R6R3-104KNP/12326883): capacitor de 0.1 uF que sugiere el fabricante entre los pines DVDD y DVSS para su correcto funcionamiento según la hoja de datos de nuestro conversor analógico-digital.
* [CRCW080547R0JNEAIF](https://www.digikey.com/en/products/detail/vishay-dale/CRCW080547R0JNEAIF/3477252): corresponde a una resistencia de 47 Ohm que se usará 7 veces, como se detalla en la figura X, para limitar el paso de corriente desde el conversor analógico digital hacía el MCU.







Figura X. Esquemático de las entradas analógicas.